

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number: **59149417 A**(43)Date of publication of
application: **27. 08 . 84**(51)Int. Cl. **H03K 5/15**
H03H 19/00(21)Application number: **58022773**(22)Date of filing: **16 . 02 . 83**(71)Applicant: **HITACHI LTD**(72)Inventor: **NAGAI KENJI**
FUJII FUMIAKI(54)**CLOCK GENERATOR**

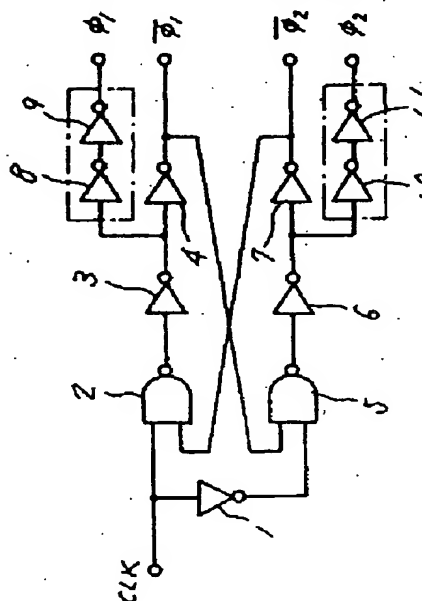
almost without delay.

(57)Abstract:

COPYRIGHT: (C)1984,JPO&Japio

PURPOSE: To generate mutually opposite-phase clock signals almost without delay by specifying the amount of delay of a signal at inverters.

CONSTITUTION: Inverters 4, 8, and 9 are so formed that the delay amount of the signal at the inverter 4 which generates a clock signal out of phase with a clock signal $\phi_{1,1}$ is equal to those of inverters 8 and 9 which generate the clock signals $\phi_{1,1}$. Further, inverters 7, 10, and 11 are so formed that the delay amount of the signal of the inverter 7 which generates a clock signal out of phase with a clock signal $\phi_{2,2}$ is equal to those of the inverters 10 and 11 which generate the clock signal $\phi_{2,2}$. Consequently, mutually opposite-phase clock signals are generated



⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭59—149417

⑯ Int. Cl.³
H 03 K 5/15
H 03 H 19/00

識別記号

庁内整理番号
7232—5 J
8124—5 J

⑰ 公開 昭和59年(1984)8月27日

発明の数 1
審査請求 未請求

(全 5 頁)

⑱ クロックジェネレータ

⑲ 特 願 昭58—22773

⑳ 出 願 昭58(1983)2月16日

㉑ 発 明 者 永井謙治

小平市上水本町1450番地株式会
社日立製作所デバイス開発セン
タ内

㉒ 発 明 者 藤井文明

小平市上水本町1450番地株式会
社日立製作所デバイス開発セン
タ内

㉓ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

㉔ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 クロックジェネレータ

特許請求の範囲

1. 最終段がインバータにより構成され、同一のクロックに基づいて互いに逆相関係の二組のクロック信号を形成するようにされたクロックジェネレータにおいて、第1のクロック信号を形成するための一または二以上のインバータ回路列における信号の遅延時間の和が、これとは逆相の第2のクロック信号を形成するための二または三以上のインバータ回路列における信号の遅延時間の和と同一になるように各インバータが構成されてなることを特徴とするクロックジェネレータ。
2. 上記第1のクロック信号を形成する最終段のインバータと第2のクロック信号を形成する最終段のインバータとがほぼ同一寸法、特性のMOSトランジスタにより構成されてなることを特徴とする特許請求の範囲第1項記載のクロックジェネレータ。

発明の詳細な説明

この発明はクロックジェネレータに関し、特にスイッチド・キャパシタ・フィルタに適したクロックジェネレータに関する。

近年、RCアクティブフィルタにおける抵抗素子を、アナログスイッチとキャパシタとで置き換えることにより、MOS集積回路化できるようにされたスイッチド・キャパシタ・フィルタが使用されるようになっている。

このようなスイッチド・キャパシタ・フィルタにおいては、アナログスイッチとしてMOSFET(絶縁ゲート型電界効果トランジスタ)が使用される。しかし、アナログスイッチとして、Pチャネル形またはNチャネル形のMOSFETの一方のみを用いると、電源電圧と信号のレベルとの関係や基板効果との関係で、スイッチが充分にオンされず信号が伝達されなくなるおそれがある。また、MOSFETは変化速度の速い信号がゲートに供給されると、そのゲートとソースまたはドレイン間に存在する容量を介して信号線にゲート

特開昭59-149417(2)

入力信号の変化が伝わってノイズがのってしまいうというフィードスルー現象を生ずることが知られている。

そのため、一般に、スイッチド・キャパシタ・フィルタのアナログスイッチとして、信号線上に並列に配設された一対のpチャネル形とnチャネル形のMOSFETとからなるCMOSアナログスイッチが使用されている。そして、このCMOSアナログスイッチを構成するp-MOSFETとn-MOSFETの各々のゲートに、互いに逆相関係のクロック信号 ϕ 、 $\bar{\phi}$ を供給して同時にオン、オフ動作させる。これによって、信号の伝達が確実にされる。また、p-MOSFETとn-MOSFETにおけるフィードスルーにより発生されるノイズはそれぞれ、正と負であるため、互いに打ち消し合う。その結果フィードスルーの影響が相殺されるようにされていた。

第1図は上記CMOSアナログスイッチに供給される一対のクロック信号 ϕ_1 、 $\bar{\phi}_1$ を発生するためのクロックジェネレータの従来例を示すもので

た。

そこでこの発明は、CMOSアナログスイッチに供給される互いに逆相関係のクロック信号をその間にほとんど遅延を生じさせることなく発生させることができ、これによって、CMOSアナログスイッチに生ずるフィードスルーを極めて少なくし、スイッチド・キャパシタ・フィルタの利得変動を減少させることを目的とする。

さらにこの発明は、プロセスのバラツキや電源、温度等の変動に対するフィルタの利得変動をも小さくできるようにすることを目的とする。

以下図面を用いてこの発明を説明する。

第3図は本発明に係るクロックジェネレータの一実施例を示すものである。

図において、1は適当な周期のクロックCLKを反転するインバータ、2はクロックCLKを一方の入力信号とするNAND回路である。このNAND回路2の出力がインバータ3によって反転され、さらにインバータ4によって反転されることによって、クロック信号 ϕ_1 が形成される。ま

ある。なお、スイッチド・キャパシタ・フィルタでは、キャパシタの端子ごとにその一方の端子の接続を切り換えるため、交互にオン、オフされる一対のCMOSアナログスイッチが設けられている。そのため、第1図のクロックジェネレータは、クロック信号 ϕ_1 、 $\bar{\phi}_1$ の他に、オン状態をオーバーラップさせないような、クロック信号 ϕ_2 、 $\bar{\phi}_2$ を発生するようにされている。

しかしながら、第1図のクロックジェネレータにあっては、逆相のクロック信号($\bar{\phi}_1$ と $\bar{\phi}_2$)を形成するために最終段にインバータ4、7が設けられている。これによって、クロック信号 ϕ_1 と $\bar{\phi}_2$ は ϕ_1 と ϕ_2 に対して、第2図に示すように、わずかではあるが遅延Tを持つことになる。そのため、CMOSアナログスイッチを構成するp-MOSFETとn-MOSFETのオン、オフのタイミングがずれてしまい、フィードスルーによるノイズを完全に打ち消し合わせることができない。その結果、スイッチド・キャパシタ・フィルタの利得が変動されてしまうという問題点があっ

た、この実施例では上記インバータ3の出力がインバータ8により反転され、さらにインバータ9によって反転されることによって、クロック信号 ϕ_1 が形成されるようにされている。

5はインバータ1によって反転されたクロックCLKと上記インバータ4の出力信号 $\bar{\phi}_1$ を入力信号とするNAND回路である。このNAND回路5の出力がインバータ6によって反転され、さらにインバータ7により反転されることによって、クロック信号 $\bar{\phi}_2$ が形成される。また、上記インバータ6の出力がインバータ10により反転され、さらにインバータ11により反転されることによって、クロック信号 ϕ_2 が形成されるようにされている。

上記インバータ7の出力信号 $\bar{\phi}_2$ は上記NAND回路2の他方の入力端子に供給されている。これによって、互いにハイレベルの期間がオーバーラップしないようにされたクロック信号 ϕ_1 と ϕ_2 およびそれらと逆相の信号 $\bar{\phi}_1$ と $\bar{\phi}_2$ が形成されるようにされている。

特開昭59-149417(3)

そして、この実施例では、クロック信号 ϕ_1 を形成するインバータ4における信号の遅延量が、クロック信号 ϕ_2 を形成するためのインバータ8および9における信号の遅延量と等しくなるように、インバータ4と8、9を構成するMOSFETが形成されている。

同様に、クロック信号 ϕ_2 を形成するインバータ7における信号の遅延量が、クロック信号 ϕ_1 を形成するためのインバータ10および11における信号の遅延量と等しくなるように、インバータ7と10、11を構成するMOSFETが形成されている。

具体的には、インバータ8、9および10、11を構成するMOSFETの寸法を、インバータ4および7を構成するMOSFETの寸法よりも大きくして、信号の速度を一致させてやればよい。

これによって、クロック信号 ϕ_1 と ϕ_2 はそれぞれクロック信号 ϕ_1 と ϕ_2 の完全な逆相信号となり、遅延Tがほとんどゼロにされる。

さらに、この場合、特にインバータ8と10を

構成するMOSFETの寸法を大きくしてインバータ8および10の動作速度を速くしてやり、かつインバータ9および11はなるべくインバータ4および7と素子寸法が同じになるように形成してやる方が好ましい結果が得られる。

つまり、クロック信号 ϕ_1 (ϕ_2)と ϕ_1 (ϕ_2)の立上り時間 t_r と立下り時間 t_f が異なると、遅延Tがゼロであってもフィードスルーの量が変わって来るため、結局信号線にノイズがのってしまふおそれがある。ところが、信号 ϕ_1 (ϕ_2)と ϕ_1 (ϕ_2)を形成する最終段のインバータ4と9(7と11)が同一構成にされていれば、駆動能力も同じになるため、信号 ϕ_1 と ϕ_1 の立上り時間 t_r と立下り時間 t_f が等しくされる。その結果、フィードスルーが相互に完全に打ち消し合って、これらの信号 ϕ_1 、 ϕ_1 および ϕ_2 、 ϕ_2 によって動作されるスイッチド・キャパシタ・フィルタの利得変動が減少される。また、インバータ4と9および7と11が略同一構成にされると、プロセスのバツキや電源、温度変動が、インバータ4と9およ

び7と11を構成するMOSFETに対して同じように効いて来る。そのため、これらの変動要因による信号の遅延量が最小にされ、フィードスルーによるスイッチド・キャパシタ・フィルタの利得変動が軽減されるようになる。

しかも、最終段のインバータの特性を適当に設計してやることによって、クロック信号 ϕ_1 と ϕ_1 あるいは ϕ_2 と ϕ_2 の変化の速度(立上り、立下りの傾き)を自由に設定してやることのできるため、スイッチド・キャパシタ・フィルタの設計も容易になる。つまり、信号の変化の速度が予め分っているため、設計したフィルタの所望の利得からの変動分(伝達関数から求めた利得と実際のフィルタの利得のずれ)を予め知ることが出来る。そのためフィルタの設計が容易となるのである。

第4図は、上記クロックジェネレータにより発生されたクロック信号 ϕ_1 、 ϕ_1 および ϕ_2 、 ϕ_2 の供給を受けて動作するスイッチド・キャパシタ・フィルタを構成する積分器の一例を示すものである。

この積分器は、アナログスイッチ Sa_1 、 Sa_2 、 Sb_1 、 Sb_2 とキャパシタ Cs とからなるスイッチド・キャパシタ21と、オペアンプ22と、積分コンデンサ23とにより構成されている。

スイッチド・キャパシタ21を構成するアナログスイッチ Sa_1 、 Sa_2 、 Sb_1 、 Sb_2 は、それぞれp-MOSFETとn-MOSFETが並列に接続されたCMOSアナログスイッチからなる。そして、上記キャパシタ Cs の一方の端子と積分器の入力端子24および接地点との間に、上記アナログスイッチ Sa_1 と Sa_2 が配設されている。また、上記キャパシタ Cs の他方の端子とオペアンプ22の反転入力端子22aおよび接地点との間に、上記アナログスイッチ Sb_2 と Sb_1 がそれぞれ配設されている。

そして、上記アナログスイッチ Sa_1 と Sb_1 が、前記クロックジェネレータから供給されるクロック信号 ϕ_1 、 ϕ_1 によって同時にオン、オフされ、また、アナログスイッチ Sa_2 と Sb_2 が、クロック信号 ϕ_2 、 ϕ_2 によって同時にオン、オフされるよ

特開昭59-149417(4)

うにされている。

クロック信号 ϕ_1 がハイレベル、 $\bar{\phi}_1$ がロウレベルにされると、スイッチ $8a_1$ と $8b_1$ がオンされてキャパシタ C_8 の一方の端子が入力端子24に接続され、他方の端子がグラウンドに接続される。そのため、キャパシタ C_8 には入力電圧 V_{in} に比例した電荷が蓄積される。次に、クロック信号 ϕ_1 がロウレベル、 $\bar{\phi}_1$ がハイレベルに変化すると、スイッチ $8a_1$ と $8b_1$ がオフされる。続いて、クロック信号 ϕ_2 がハイレベル、 $\bar{\phi}_2$ がロウレベルに変化すると、キャパシタ C_8 の入力端子24に接続されていた側の端子がグラウンドに接続され、グラウンドに接続されていた側の端子がオペアンプ22の反転入力端子22aに接続される。しかるに、オペアンプ22の非反転入力端子22bは常時グラウンドに接続されているため、イメージナリショートにより反転入力端子22aの転位もグラウンドレベルにされる。その結果、キャパシタ C_8 に蓄積されていた入力電圧 V_{in} に比例した電荷が、その符号が逆転されて積分コンデンサ23に移される。これに

よってオペアンプ22の出力端子からは入力電圧 V_{in} に比例した積分出力 V_{out} が出力される。

しかも、上記クロック信号 ϕ_1 と ϕ_2 とはハイレベルの期間がオーバーラップしないようにされているので、信号の切換え時に、アナログスイッチを通してキャパシタ C_8 の電荷が逃がされるおそれはない。

なお、前記実施例(第3図)のクロックジェネレータでは、インバータ3の出力信号に基づいて、1段のインバータ4によってクロック信号 ϕ_1 を形成するようにされているが、インバータ4の次段に更に2段のインバータを接続し、3段のインバータによってクロック信号 $\bar{\phi}_1$ を形成するにしてもよい。この場合、インバータ4側の最終段のインバータをクロック信号 ϕ_1 を形成する最終インバータと全く同一構成にし、インバータ8における信号の遅延量とインバータ4およびその次段のインバータにおける信号の遅延量とが一致するように構成してやる。このようにすれば最終段のインバータの構成および駆動能力を全く同じに

することができる。

その結果、フィードスルーを完全に打ち消し合わせることができ、スイッチド・キャパシタ・フィルタの利得変動を最小にさせることができる。また、プロセスのバラツキ、電圧や温度の変動に対するフィルタの利得変動も最小にされる。

図面の簡単な説明

第1図は従来のスイッチド・キャパシタ・フィルタ用クロックジェネレータの一例を示す回路構成図、

第2図はそのクロックジェネレータにより発生されるクロック信号のタイミングチャート、

第3図は本発明に係るクロックジェネレータの一実施例を示す回路構成図、

第4図はこれにより発生されるクロック信号の供給を受けて動作されるスイッチド・キャパシタ・フィルタを構成する積分器の一例を示す回路図である。

4, 7, 8, 11...インバータ, 21...スイッチド・キャパシタ, ϕ_1 , $\bar{\phi}_1$, ϕ_2 , $\bar{\phi}_2$...クロック

ク信号, $8a_1$, $8a_2$, $8b_1$, $8b_2$...CMOSアナログスイッチ。

代理人 弁理士 高橋 明 夫

